

# PAIENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-227608

(43)Date of publication of application : 15.08.2000

(51)Int.Cl. G02F 1/136  
G02F 1/133  
G09G 3/36

(71)Applicant : HITACHI LTD

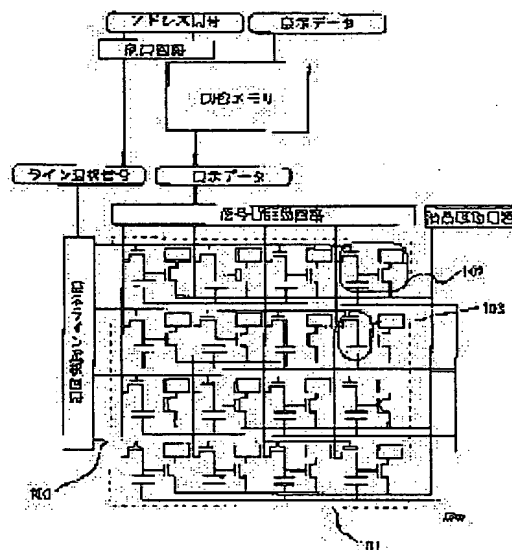
(72)Inventor : MIKAMI YOSHIKI  
KAGEYAMA HIROSHI

## (54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an excellent display quality device even when power consumption is reduced by preferentially and respectively inputting an address signal from the outside in a memory part, and a signal from a line counter in a display part to the memory part and the display part with a display line signal switch circuit.

**SOLUTION:** The display line signal switch circuit switches drive from the address signal from the outside with an input from the line counter competing with each other related to a display line signal instructing lines of an image memory and the display part. That is, in the memory part, the address signal from the outside is preferred, and in the display part, the signal from the line counter is preferred to be respectively inputted to the memory part and the display part. In this device, a voltage memory 103 holding the gradation data and a mechanism controlling liquid crystal drive for answering to the contents of the memory and converting a voltage of a liquid crystal drive source applied from the outside to a liquid crystal drive voltage are added to the display part 101 at every pixel part 102, and the display contents are changed by rewriting the gradation data.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese Laid-Open Patent Publication No. 2000-227608  
(Tokukai 2000-227608) (Published on August 15, 2000)

**(A) Relevance to Claims**

The following is a translation of a passage related to all the claims of the present invention.

**(B) Translation of Relevant Passage**

[0018] Figure 5 shows another embodiment in which pixels have a different structure, which is characterized in that the use of analogue switches 504 as TFTs driving the liquid crystal enables low-impedance drive regardless of the polarity of a liquid crystal driving voltage. To drive the analogue switch made of a p-ch TFT and a n-ch TFT, two memory circuits composed of sampling capacitors 503 and 507 and sampling TFTs 502 and 506 respectively are provided, data represented by different polarities are supplied through two data wires 501 and 505 connected to a common line selection wire 401 for simultaneous sampling. The data of different polarities to drive the analog switches may be generated by providing, instead of two memory circuits, an inverter in a pixel. It is

obvious that the memory circuit used in semiconductor as a memory circuit may be arranged from a TFT for display, in which case data is not lost while the voltage supply is on and images can be displayed for extended periods of time.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-227608

(P2000-227608A)

(43) 公開日 平成12年8月15日(2000.8.15)

(51) Int. Cl. <sup>7</sup>	国際符号	P I	F-Term (P-5)
G 0 2 F 1/38	5 0 0	G 0 2 F 1/38	5 0 0 2 H 0 9 2
I/33	5 5 0	I/33	5 5 0 2 H 0 9 3
G 0 8 G 3/38		G 0 9 G 3/38	5 C 0 0 6

発明の名称 液晶表示装置

(21) 出願番号 特許平11-28109

(71) 出願人 株式会社日立製作所

(22) 出願日 平成11年2月5日(1999.2.5)

(72) 発明者 三上 健男

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(72) 発明者 森田 昌

(2)

【特許請求の範囲】

【請求項1】 少なくとも一方が透明な一方の基板と、前記一方の基板間に挟持された液晶層とを有する液晶表示装置において、前記一方の基板の一方の基板に複数の走査電極と、前記複数の走査電極にマトリクス状に交差する複数の信号電極とを有し、

前記一方の基板の前記複数の走査電極と前記複数の信号電極とにより画られたそれぞれの画素領域に、対応する走査電極と信号電極とに接続され、走査信号に応動して信号電極からの表示データを取り込み保持する表示データ保持回路と、前記表示データ保持回路に接続され、この回路によってスライツング素子と並列にコンデンサと、前記スライツング素子と接続された表示電極とを有し、前記画素領域の表示内容を画素ごとに切り当てられた格納領域に保持し、画素ごとに引き込み可能であり、任意の列について、画素の列方向1列のデータを単位としてライツング素子に取り出すよう構成された画素メモリを有し、

ライツング素子の出力と前記信号電極とが接続されており、前記画素メモリへの引き込み画素の座標を示す画素アドレスを、画素を含む表示部のライツング素子に変換する機能を有するアドレスライツング変換回路と、前記アドレスライツング変換回路出力により指示された前記走査電極を選択駆動する表示ライツング選択回路を有し、

表示ライツングを選択駆動するライツング信号を発生するライツング発生回路と、アドレスライツング選択回路の出力と、アドレスライツング選択回路の出力とを一方を選択して表示ライツング選択回路に接続する表示ライツング切り換え回路と、

前記ライツング発生回路の出力とメモリ制御回路からのライツング信号とを一方を選択してメモリライツング選択回路に接続する表示ライツング切り換え回路とを有し、任意の画素の表示データを引き換え、引き込み可能な場合には画素メモリに引き込み後、引き込み画素が含まれるライツングの表示データを表示部に伝送し、前記表示ライツングの前記アドレスライツング変換回路により指示されたライツングを選択しライツングの表示を口き換えるよう制御し、

任意の画素の表示データを口き換える信号が入力されない場合には前記ライツング発生回路の出力により指定されたライツングの表示データを表示部に伝送し、表示部においてライツングの表示を口き換えるよう制御してなることを特徴とする液晶表示装置。

【請求項2】 前記請求項1において信号電極として正および負極性で互いに極性が反転した信号を伝送するための2本の電極からなり、前記画素領域において、対応する走査電極と2本の信号電極とに接続され、走査信号に応動して正負の信号電極からの表示データを取り込み保持する2本の表示データ保持回路と、前記表示データ保持回路に接続され、この回路によってスライツング素子と並列にコンデンサと、前記スライツング素子と接続された表示電極とを有し、前記スライツング素子と並列にコンデンサとを有し、前記スライツング素子と接続された表示電極とを有することを特徴とする液晶表示装置。

【請求項3】 請求項2において前記スライツング素子としてpnh及びpnhのTFTを組み合わせたアナログスライツングを用いることを特徴とする液晶表示装置。

【請求項4】 少なくとも一方が透明な一方の基板と、前記一方の基板間に挟持された液晶層とを有する液晶表示装置において、前記一方の基板の一方の基板に複数の走査電極と、前記複数の走査電極にマトリクス状に交差する

る複数の信号電極とを有し、

前記一方の基板の前記複数の走査電極と前記複数の信号電極とにより画られたそれぞれの画素領域に、対応する走査電極と信号電極とに接続され、走査信号に応動して信号電極からの表示データを取り込み保持する表示データ保持回路と、前記表示データ保持回路に接続され、この回路によってスライツング素子と並列にコンデンサと、前記スライツング素子と接続された表示電極とを有し、前記画素領域の表示内容を画素ごとに切り当てられた格納領域に保持し、画素ごとに引き込み可能であり、任意の列について、画素の列方向1列のデータを単位としてライツング素子に取り出すよう構成された画素メモリを有し、

ライツング素子の出力と前記信号電極とが接続されており、前記画素メモリへの引き込み画素の座標を示す画素アドレスを、画素を含む表示部のライツング素子に変換する機能を有するアドレスライツング変換回路と、前記アドレスライツング変換回路出力により指示された前記走査電極を選択駆動する表示ライツング選択回路を有し、

表示ライツングを選択駆動するライツング信号を発生するライツング発生回路と、アドレスライツング選択回路の出力と、アドレスライツング選択回路の出力とを一方を選択して表示ライツング選択回路に接続する表示ライツング切り換え回路と、

前記ライツング発生回路の出力とメモリ制御回路からのライツング信号とを一方を選択してメモリライツング選択回路に接続する表示ライツング切り換え回路とを有し、任意の画素の表示データを引き換え、引き込み可能な場合には画素メモリに引き込み後、引き込み画素が含まれるライツングの表示データを表示部に伝送し、前記表示ライツングの前記アドレスライツング変換回路により指示されたライツングを選択しライツングの表示を口き換えるよう制御し、

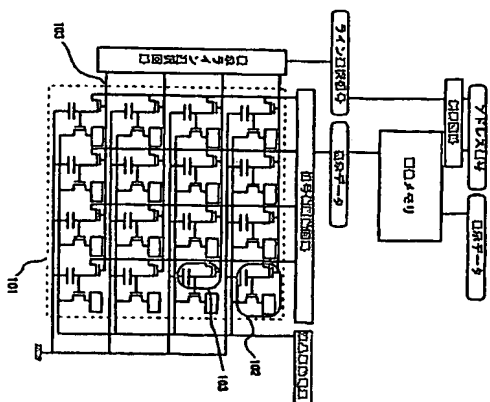
任意の画素の表示データを口き換える信号が入力されない場合には前記ライツング発生回路の出力により指定されたライツングの表示データを表示部に伝送し、表示部においてライツングの表示を口き換えるよう制御してなることを特徴とする液晶表示装置。

【請求項5】 請求項4記の液晶表示装置において、前記アドレスライツング変換回路と表示ライツング切り換え回路との間に複数の指定されたライツング信号を口き保持し、口きし、口き信号に出力する先入れ先出しバッファメモリを接続し、

前記バッファメモリ内にライツング信号が格納されている期間は前記ライツングの動作を停止するよう制御することを特徴とする液晶表示装置。

【請求項6】 少なくとも一方が透明な一方の基板と、前記一方の基板間に挟持された液晶層とを有する液晶表示装置において、前記一方の基板の一方の基板に複数の走査電極と、前記複数の走査電極にマトリクス状に交差する

図1







(7)

も製造しやすい。しかしながら、画像メモリなどの回路部分については表示窓目が均等と好しく回路接続が増大する。このためLSIを用いて回路を形成し、TFT基板と接続して表示回路を形成することによりもっとも製造しやすい形態となる。この場合は、データ配線と画像メモリ間の配線本数が多くなり接続が困難になる。そこで、ライオンバツファと表示データバツファ間に複数の中継配線を設け、ライオンバツファと中継配線間、中継配線とデータ配線間に互いに同期して接続する切り換えスイッチを設けたP-S変換回路およびS-P変換回路により時々分切り切り換え方式にてデータを伝送することによりデータ配線と画像メモリ間のデータ伝送を行うことにより両者の接続本数を減らすことができるので高細化に有効である。

【0027】図10は第2に実施例の液晶表示装置の外面図である。表示部603と表示ライオン変換回路604、ライオンバツファ605とTFT回路基板601上に形成し、画像メモリ回路などの周辺回路は画像メモリS11001として周辺回路基板1002上に実装し、TFT基板とは中継配線803にて接続している。中継配線はフレキシブルプリント基板を用いて、形成し、TFT基板及び周辺回路基板とはアソシアルにより接続すればよい。

【0028】

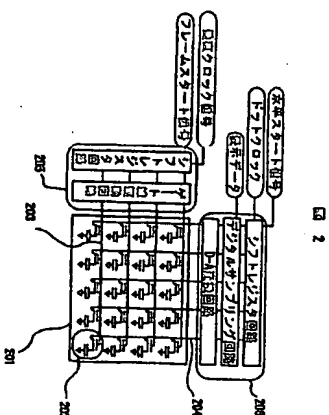
【発明の効果】本発明による液晶表示装置は、若しくは消費電力を低減可能である特徴がある。また、表示に本装置例に記述のノートPCのみでなく、他のポータブルな付随処理装置の小型化、低消費電力、長寿命向上に効果が有る。

【0027】図10は第2に実施例の液晶表示装置1の外  
 図面である。表示部603と表示ライン駆動回路60  
 4、ライオンパワツ605とTFT回路基板601上に  
 形成し、画像メモリ回路などの周辺回路は画像メモリS  
 11001として周辺回路基板1002上に実装し、TFT基板  
 とは中絶記録8033にて接続している。中絶記録はフレ  
 キブルプリント基板を用いて、形成し、TFT基板及  
 び周辺回路基板とはプリントにより接続すればよい。  
 【0028】

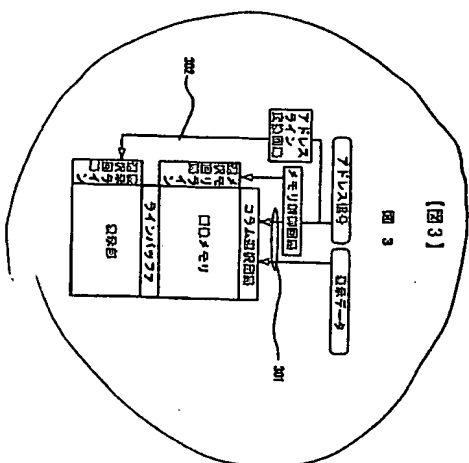
【発明の効果】本発明による液晶表示装置は、著しく消費電力を低減可能である特徴がある。また、表示に本発明例に記載のノートPCのみでなく、他のポータブルな情報処理装置の小型化、軽量化、電池寿命向上に効果がある。

### 【図面の簡単な説明】

【圖2】



【圖3】



【図1】本発明の回路構成図である。  
【図2】従来の技術による液晶表示装置の構成図である。  
【図3】第1の実施例による表示装置のプロット図である。

〔図2〕従来技術による液晶表示装置構成図である。

【図3】第1の改施例による表示装置のブロック図である。

【図4】画素部TFT回路構成である。

【図5】固相部TFI回路構成である。

【図6】表示装置外図図である。

【図7】回路動作説明図である。

【図8】第2の実施例による表示装置のブロック図である。

【図9】回路動作説明図である。

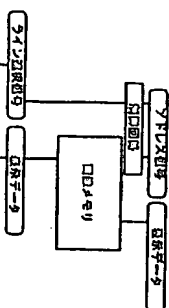
【図10】衰示装置外觀図である。

【符号の説明】

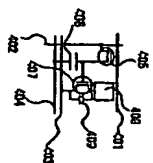
101,1201, 603…表示部、102…図素配、  
03…位メモリ、202…画素、203…ゲート配  
線、204, 402…信号配線、205…ゲート駆動  
回路、206…信号駆動回路、301…選択部、3  
02…表示ライン選択部、401…ライン選択配線、  
403…垂直選択配線、404…共通配線、405…ヤ  
ンパルライン、406, 503, 507…サブパ  
ルライン、407…表示制御TFET、408…番  
示区画、409…補正コンデンサ、501, 505…デ  
ータ配線、502, 506…メモリ回路、504…ラ  
ロゲラッチ、601…TFET回路基板、602…対向  
基板、604…表示ライン選択回路、605…ヤン  
パル、606…画素メモリ回路、607…制御回  
路、801…表示ライン切り換え回路、802…モリ  
ヤンパル回路、803…中絶配線、1001…画素  
モジュール、1002…周辺回路基板。

(8)

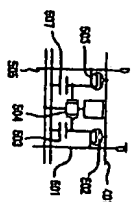
【圖】



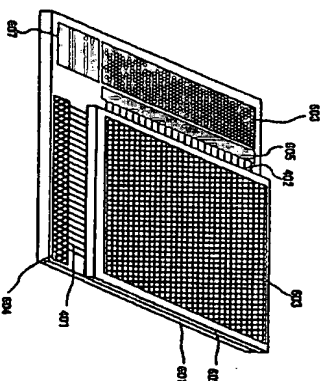
【図4】



**【例5】**



【98】

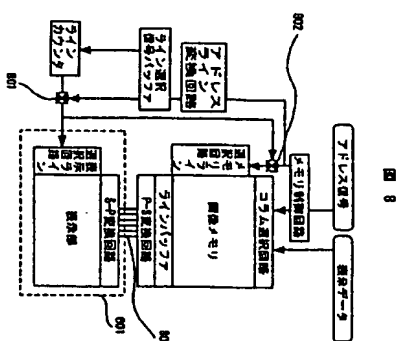


【函7】

[illegible]

75

【88】

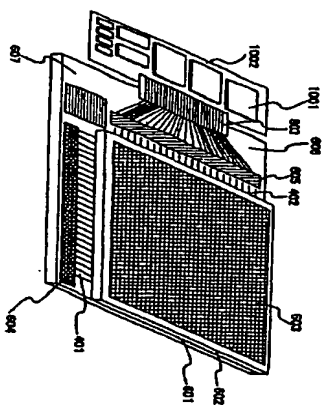


【圖 9】

[illegible]

【010】

10



フロントページの続き

Fターム(参考) 2H092 GA49 GA51 GA59 JA24 JB13

JB43 KA04 KA07 NA01 NA23  
NA26 PA06 QA07

ZH093 NA16 NA20 NA21 NA42 NC13

NC15 NC16 NC22 NC23 NC25

NC26 NC28 NC34 NC90 ND10

ND15 ND39 ND58 NE10 NF05

AF42 BA01 BB16 BB28 BC20

BF02 BF05 BF11 BF22 BF24

8F37 ECD8 FA42 FA47